

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-273520

(43)Date of publication of application : 22.10.1993

(51)Int.Cl. G02F 1/133
G02F 1/133
G02F 1/133
G09G 3/36

(21)Application number : 04-067392

(71)Applicant : SHARP CORP

(22)Date of filing : 25.03.1992

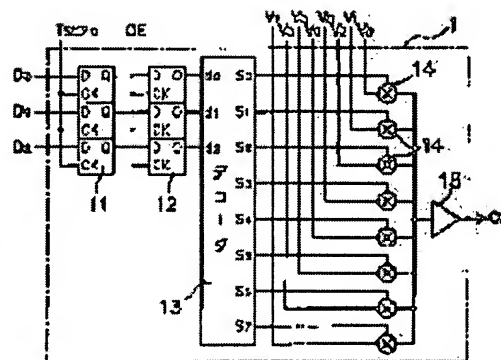
(72)Inventor : OKADA HISAO
TAKARADA TAKESHI

(54) DRIVING CIRCUIT FOR DISPLAY DEVICE

(57)Abstract:

PURPOSE: To supply a reference voltage by a small-capacity electric power by providing a current amplifying circuit at the output of the driving circuit.

CONSTITUTION: Digital data D0-D2 outputted from a hold flip-flop 12 are inputted to a decoder 13. The decoder 13 sets only one of outputs corresponding to the values of the digital data D0-D2 to '1' and turns ON the analog switch whose control input is connected to the output. Then one of reference voltages V0-V7 inputted to the analog switch 14 is inputted to a current amplifier 15. The analog driving signal On outputted from this current amplifier 15 is sent as the output of the driving circuit 1 to pixels of a liquid crystal display device. The current amplifier 15 is large in input impedance and small in output impedance, so a large current can be supplied to the pixels nearly without flowing to the input side.



LEGAL STATUS

[Date of request for examination] 26.01.1996

[Date of sending the examiner's decision of rejection] 04.06.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3007745

[Date of registration] 26.11.1999

[Number of appeal against examiner's decision of rejection] 10-10351

[Date of requesting appeal against examiner's decision of rejection] 06.07.1998

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-273520

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 2 0	7820-2K		
	5 1 0	7820-2K		
	5 7 5	7820-2K		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数3(全 9 頁)

(21) 出願番号 特願平4-67392

(22) 出願日 平成4年(1992)3月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岡田 久夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 寶田 武

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

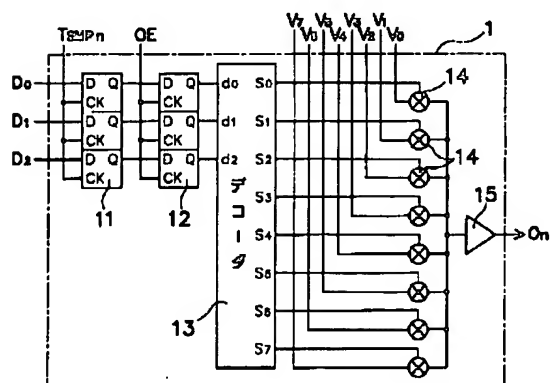
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【構成】 アナログスイッチ14の出力を一括し電流増幅器15を介して駆動回路1の出力とする。

【効果】 各階調ごとに大容量の電源を用意する必要がなくなる。また、LSI内部で分圧によって各階調に対応する多数の電圧を得ることができるので、電源用の入力端子数を少なくすることができるようになる。



【特許請求の範囲】

【請求項1】 階調を示すデジタルの映像信号を復号するデコーダと、複数の基準電圧を供給する基準電圧源と、デコーダの出力に応じて基準電圧源の基準電圧を選択して出力する基準電圧選択回路とを備えた表示装置の駆動回路において、

上記基準電圧選択回路の出力を電流増幅器を介して表示装置に供給することを特徴とする表示装置の駆動回路。

【請求項2】 基準電圧源が接地電圧に対する1又は2以上の電源電圧を分圧することにより各階調に対応する基準電圧を得る回路である請求項1に記載の表示装置の駆動回路。

【請求項3】 基準電圧選択回路がデコーダの出力に応じて1又は2の基準電圧を選択し、1つの基準電圧を選択した場合にこの電圧を出力し、2つの基準電圧を選択した場合にはこれらの電圧を分圧した中間の電圧を出力することにより各階調に対応する出力電圧を得る回路である請求項1又は請求項2に記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、階調を示すデジタルの映像信号をD/A変換して階調ごとに電圧の異なるアナログ駆動信号を出力する表示装置の駆動回路に関する。

【0002】

【従来の技術】 液晶表示装置等のように応答速度の遅い表示装置では、各絵素ごとにシリアルに送られて来る映像信号をソースドライバLSIの各駆動回路が一定期間保持して出力し続けることができるようになっている。

【0003】 カラー液晶表示装置に使用されるこのようなソースドライバLSIの構成を図7に示す。

【0004】 RGBの各色の映像信号は、それぞれ3ビットずつのデジタルデータによって構成され、これによって各色ごとに8段階の階調を表示できるようになっている。また、この3ビットずつのデジタルデータは、RGBの各色ごとに9ビットずつ順次シリアルに送られて来る。

【0005】 駆動回路1は、上記映像信号におけるRGBの3色に対応して3個ずつ設けられ、図ではこれらを40組、即ち120個備えた回路を示している。各駆動回路1は、サンプリングパルス $T_{smp1} \sim T_{smp40}$ によって3ビットのデジタルデータをそれぞれサンプリングし保持すると共に、出力パルスOEによってこの3ビットのデジタルデータをD/A変換し、8段階の基準電圧 $V_0 \sim V_7$ のいずれかの電圧を有するアナログ駆動信号 $O_1 \sim O_{120}$ に変換して出力することができるようになっている。

【0006】 上記サンプリングパルス $T_{smp1} \sim T_{smp40}$ は、図示しないシフトクロック回路によって一定周期ご

とに発生される40種類のパルスであり、この一定周期の間に順次異なるタイミングで出力されるそれぞれのサンプリングパルス $T_{smp1} \sim T_{smp40}$ が各組の3個の駆動回路1に入力されるようになっている。従って、各組の駆動回路1では、このサンプリングパルス $T_{smp1} \sim T_{smp40}$ によってRGBの各色のデジタルデータをサンプリングし保持する。

【0007】 また、上記出力パルスOEは、サンプリングパルス $T_{smp1} \sim T_{smp40}$ の1周期ごとに発せられるパルスである。従って、全ての駆動回路1は、それぞれのタイミングでサンプリングしたデジタルデータを、この出力パルスOEによって一斉にアナログ駆動信号 $O_1 \sim O_{120}$ に変換し、この駆動信号 $O_1 \sim O_{120}$ の出力を次の出力パルスOEが発せられるまで保持することができる。

【0008】 上記ソースドライバLSIにおける第n番目の駆動信号 O_n を出力する従来の駆動回路1を図8に示す。

【0009】 3ビットのデジタルデータ $D_0 \sim D_2$ は、サンプリングフリップフロップ11に入力され、サンプリングパルス T_{smp1} の立ち上がり時にラッチされるようになっている。また、このサンプリングフリップフロップ11にラッチされたデジタルデータ $D_0 \sim D_2$ は、出力パルスOEの立ち上がり時にホールドフリップフロップ12にラッチされるようになっている。従って、このホールドフリップフロップ12は、一旦ラッチしたデジタルデータ $D_0 \sim D_2$ を次の出力パルスOEの立ち上がり時まで出力し続けることができ、サンプリングフリップフロップ11は、この間に次のデジタルデータ $D_0 \sim D_2$ のサンプリングを行うことができる。

【0010】 上記ホールドフリップフロップ12が出力するデジタルデータ $D_0 \sim D_2$ は、デコーダ13に入力されるようになっている。デコーダ13は、3ビットのデジタルデータ $D_0 \sim D_2$ を復号して、8つの出力のうち1つのみを選択する回路である。そして、このデコーダ13の8つの出力は、8個のアナログスイッチ14の制御入力にそれぞれ接続されている。従って、デコーダ13は、入力されたデジタルデータ $D_0 \sim D_2$ の値に対応する1個のアナログスイッチ14のみを選択して導通させることになる。また、各アナログスイッチ14には、それぞれ8段階の電圧を有する基準電圧 $V_0 \sim V_7$ が入力されると共に、これら各アナログスイッチ14の出力が一括されて駆動回路1の出力を構成するようになっている。従って、デコーダ13によって1個のアナログスイッチ14が選択されて導通すると、このアナログスイッチ14を介していずれか1つの基準電圧 $V_0 \sim V_7$ のみが駆動回路から出力されることになり、これによってD/A変換したアナログ駆動信号 O_n の出力を得ることができる。

【0011】

3

【発明が解決しようとする課題】ところが、上記従来の駆動回路1では、基準電圧 $V_0 \sim V_7$ がアナログスイッチ14を介してそのまま表示装置に送られるので、この基準電圧 $V_0 \sim V_7$ を供給する電源が直接各絵素を駆動することになる。しかも、液晶表示装置等では、上記のように多数の駆動回路1が一斉にアナログ駆動信号 O_i を出力するため、この駆動電流が大きなものとなる。

【0012】このため、従来の駆動回路1では、基準電圧 $V_0 \sim V_7$ における8段階の各電圧ごとに大容量の電源が必要となり、電源回路が複雑かつ高価なものになるという問題があった。しかも、映像信号の階調を表すデジタルデータのビット数が増加すれば、この基準電圧の段階数も指数的に増大する。従って、より豊富な階調を有する映像信号を取り扱う駆動回路では、大容量の電源がさらに多数必要となるだけでなく、これらの駆動回路を集積化した場合に、外部から供給する電源の入力端子数が多くなりすぎ、実質的にLSIの製造が不可能になるという問題も生じていた。

【0013】本発明は、上記事情に鑑み、駆動回路の出力に電流増幅回路を設けることにより、容量の小さな電源によって基準電圧を供給することができる駆動回路を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明の表示装置の駆動回路は、階調を示すデジタルの映像信号を復号するデコーダと、複数の基準電圧を供給する基準電圧源と、デコーダの出力に応じて基準電圧源の基準電圧を選択して出力する基準電圧選択回路とを備えた表示装置の駆動回路において、上記基準電圧選択回路の出力を電流増幅器を介して表示装置に供給することが出来るので、そのことにより上記目的が達成される。

【0015】上記基準電圧源が接地電圧に対する1又は2以上の電源電圧を分圧することにより各階調に対応する基準電圧を得る回路であってもよい。

【0016】上記基準電圧選択回路がデコーダの出力に応じて1又は2の基準電圧を選択し、1つの基準電圧を選択した場合にこの電圧を出力し、2つの基準電圧を選択した場合にはこれらの電圧を分圧した中間の電圧を出力することにより各階調に対応する出力電圧を得る回路であってもよい。

【0017】

【作用】電流増幅器は入力インピーダンスが大きく出力インピーダンスが小さいため、入力側に僅かな電流を供給するだけで、表示装置が必要とする大きな電流を出力させることができる。従って、基準電圧源は、ほとんど電流を供給する必要がなくなり、容量の小さい電源でも足りようになる。

【0018】この結果、本発明によれば、大容量の電源を各階調に対応する電圧ごとにそれぞれ用意するという必要がなくなり、電流増幅器にのみ大容量の電源を供給

4

すればよくなるので、電源の構成を簡素化することができるようになる。

【0019】また、例えば従来の駆動回路の多数の基準電圧を抵抗等による分圧によって得たとすると、ここから大きな電流を供給すれば、各抵抗等での電圧降下が変化して出力電圧も大きく変動することになる。ところが、このように基準電圧源からほとんど電流を供給する必要がなくなると、請求項2の発明に示すように、各階調に対応する多数の基準電圧をそれよりも少ない数の電源電圧を分圧して得たものとしても、出力電圧が変動するようなことはなくなる。また、請求項3の発明に示すように、基準電圧選択回路が1又は2の基準電圧を選択し、1つの基準電圧を選択した場合にこの電圧を出力し、2つの基準電圧を選択した場合にはこれらの電圧を分圧した中間の電圧を出力するようにしたとしても、出力電圧が変動するということがなくなる。そして、これらいずれの場合にも少ない種類の電圧に基づいて各階調に対応する多数の出力電圧を得ることができるようになる。

【0020】この結果、本発明によれば、駆動回路を集積化した場合に、外部から供給する電源の種類を少なくして入力端子数を削減することができるようになる。しかも、階調数は、デジタルの映像信号のビット数の増加に応じて指数的に増加するので、このビット数が大きくなると、各階調に対応する電源電圧をそれぞれ別個にLSIに供給することはほとんど不可能となる。このため、上記のようにして外部から供給する電源の種類を少なくすることができれば、多数ビットによる豊富な階調の映像信号を取り扱うことができる駆動回路のLSIを容易に作成することができるようになる。

【0021】しかも、基準電圧源と電流増幅器との間の基準電圧選択回路にも僅かな電流しか流れないため、ここで使用するアナログスイッチ等のインピーダンスが高い場合にも電圧降下がほとんど生じないので、出力電圧に影響を与えるようなことがなくなる。従って、駆動回路を集積化した場合に、基準電圧選択回路にチップ上での占有面積が小さい素子を使用することができ、これによって電流増幅器を増設するための回路スペースを確保して、LSIのチップ面積が増加するのを防止することもできる。

【0022】

【実施例】本発明を実施例について以下に説明する。

【0023】図1に本発明の第1実施例にかかる駆動回路のブロック図を示す。なお、前記図8に示した従来例と同様の機能を有する構成部材には同じ番号を付記する。

【0024】本実施例は、カラー液晶表示装置のソースドライバLSIに用いられ、前記図7と同様に、3ビットのデジタルデータを8段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

5

【0025】3ビットのデジタルデータ $D_0 \sim D_2$ は、サンプリングフリップフロップ11にパラレルに入力されるようになっている。サンプリングフリップフロップ11は、3個のDフリップフロップをパラレルに配置した回路であり、各Dフリップフロップのデータ入力Dにデジタルデータ $D_0 \sim D_2$ の各ビットが入力されるようになっている。また、各Dフリップフロップのクロック入力CKには、対応するサンプリングパルス T_{smp} がそれぞれ入力されるようになっている。従って、このサンプリングフリップフロップ11は、サンプリングパルス T_{smp} の立ち上がり時に3ビットのデジタルデータ $D_0 \sim D_2$ をラッチしてサンプリングし、以降次のサンプリングパルス T_{smp} の立ち上がりまでラッチしたデジタルデータ $D_0 \sim D_2$ を出力Qから出力することになる。

【0026】上記サンプリングフリップフロップ11から出力される3ビットのデジタルデータ $D_0 \sim D_2$ は、ホールドフリップフロップ12にパラレルに入力されるようになっている。ホールドフリップフロップ12も、3個のDフリップフロップをパラレルに配置した回路であり、各Dフリップフロップのデータ入力Dにデジタルデータ $D_0 \sim D_2$ の各ビットが入力されるようになっている。また、各Dフリップフロップのクロック入力CKには、出力パルスOEがそれぞれ入力されるようになっている。従って、このホールドフリップフロップ12は、出力パルスOEの立ち上がり時に3ビットのデジタルデータ $D_0 \sim D_2$ をラッチし、以降次の出力パルスOEの立ち上がりまでラッチしたデジタルデータ $D_0 \sim D_2$ を出力Qから出力し続けることになる。

【0027】上記ホールドフリップフロップ12から出力される3ビットのデジタルデータ $D_0 \sim D_2$ は、デコーダ13にパラレルに入力されるようになっている。デコーダ13は、3ビットのデジタルデータ $D_0 \sim D_2$ を復号し、8つの出力のうちこのデジタルデータ $D_0 \sim D_2$ の値(10進法で0から7の値をとる)に1対1で対応する1つの出力の論理値のみを“1”として選択し、他の7つの出力の論理値を“0”とする回路である。また、このデコーダ13の8つの出力は、8個のアナログスイッチ14の制御入力にそれぞれ接続されている。アナログスイッチ14は、MOS・FETを使用した無接点スイッチ回路であり、制御入力の論理値が“1”となる場合に入出力間を導通させるようになっている。

【0028】上記8個のアナログスイッチ14の入力には、それぞれ基準電圧源から供給される8種類の基準電圧 $V_0 \sim V_7$ が入力されるようになっている。この基準電圧 $V_0 \sim V_7$ は、各電圧が $V_0 < V_1 < V_2 < V_3 < V_4 < V_5 < V_6 < V_7$ の関係にあるD/A変換のためのアナログ基準電圧である。また、8個のアナログスイッチ14の出力は、一括されて電流増幅器15の入力に接続されている。電流増幅器15は、入力インピーダンスが大きく出

6

力インピーダンスが小さいバッファアンプであり、入力電圧がそのまま出力電圧となるが、入力側にはほとんど電流が流入せず、出力側から大きな電流を取り出すことができるようになっている。そして、この電流増幅器15の出力がアナログ駆動信号 O_a として駆動回路1から出力されることになる。

【0029】上記構成の駆動回路1の動作を説明する。

【0030】3ビットのデジタルデータ $D_0 \sim D_2$ は、サンプリングパルス T_{smp} の立ち上がり時にサンプリングフリップフロップ11にラッチされサンプリングが行われる。また、このサンプリングフリップフロップ11にラッチされたデジタルデータ $D_0 \sim D_2$ は、出力パルスOEの立ち上がり時にホールドフリップフロップ12にラッチされる。そして、このホールドフリップフロップ12は、次の出力パルスOEが立ち上がるまでラッチしたデジタルデータ $D_0 \sim D_2$ の出力を保持し続ける。また、サンプリングフリップフロップ11は、この間に再びサンプリングパルス T_{smp} が立ち上がり次のデジタルデータ $D_0 \sim D_2$ をラッチして順次サンプリングを行う。

【0031】上記ホールドフリップフロップ12から出力されるデジタルデータ $D_0 \sim D_2$ は、デコーダ13に入力される。デコーダ13は、このデジタルデータ $D_0 \sim D_2$ の値に対応するいずれか1つの出力のみを“1”として、この出力に制御入力に接続するアナログスイッチ14を導通させる。すると、このアナログスイッチ14に入力されるいずれかの基準電圧 $V_0 \sim V_7$ が電流増幅器15に入力される。そして、この電流増幅器15から出力されるアナログ駆動信号 O_a が駆動回路1の出力として図示しない液晶表示装置の絵素に送られることになる。

【0032】ここで、電流増幅器15は、入力インピーダンスが大きく出力インピーダンスが小さいため、入力側にほとんど電流が流入することなく、液晶表示装置の絵素に十分の大きさの電流を供給することができる。従って、基準電圧 $V_0 \sim V_7$ を供給する基準電圧源は、電流増幅器15に僅かな電流を供給するだけでいいので、容量の小さい電源でも足りるようになる。

【0033】この結果、本実施例によれば、基準電圧源は、8段階の各基準電圧 $V_0 \sim V_7$ ごとに大容量の電源を用意する必要がなくなり、この基準電圧 $V_0 \sim V_7$ を電流増幅する電流増幅器15にのみ大容量の電源を供給すればよくなるので、電源の構成を簡素化することができるようになる。

【0034】また、従来は、各アナログスイッチ14に大きな駆動電流がそのまま流れていたため、ON抵抗をできるだけ小さくする必要があった(例えば3kΩ以下)。しかしながら、本実施例では、アナログスイッチ14にほとんど電流が流れないため、ON抵抗が大きくなっても電圧降下は僅かとなるので問題が生じない。従

って、各アナログスイッチ14のLSIチップ上に占めるレイアウト面積を縮小することができるので、これによって電流増幅器15の占有面積の増加分を補い、ソースドライバLSIが従来よりも大きくなるのを防止することができる。

【0035】図2及び図3に本発明の第2実施例を示す。図2は駆動回路のブロック図、図3は図2の駆動回路を組み合わせたソースドライバLSIのブロック図である。なお、上記図7、図8及び図1に示した従来例及び第1実施例と同様の機能を有する構成部材には同じ番号を付記する。

【0036】本実施例は、カラー液晶表示装置のソースドライバLSIに用いられ、4ビットのデジタルデータを16段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

【0037】4ビットのデジタルデータ $D_0 \sim D_3$ は、サンプリングフリップフロップ11及びホールドフリップフロップ12を介してデコーダ13にパラレルに入力されるようになっている。そして、サンプリングフリップフロップ11及びホールドフリップフロップ12は、それぞれ4個のDフリップフロップをパラレルに配置した回路であり、また、デコーダ13も4ビットのデジタルデータ $D_0 \sim D_3$ を復号し16の出力を選択する回路であるという点を除き、上記図1に示した第1実施例と同様の構成である。

【0038】上記デコーダ13の16の出力は、16個のアナログスイッチ14の制御入力にそれぞれ接続されている。この16個のアナログスイッチ14の入力には、それぞれ分圧回路2から供給される16段階の基準電圧 $V_0 \sim V_{15}$ が入力されるようになっている。また、この16個のアナログスイッチ14の出力は、一括されて電流増幅器15の入力に接続されている。このアナログスイッチ14及び電流増幅器15も、図1に示した第1実施例と同様のものである。そして、この電流増幅器15の出力がアナログ駆動信号 O_0 として駆動回路1から出力されることになる。

【0039】上記基準電圧 $V_0 \sim V_{15}$ は、各電圧が $V_0 < V_1 < V_2 < \dots < V_{14} < V_{15}$ の関係にあるD/A変換のためのアナログ基準電圧であり、外部の電源から供給される5種類の電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} に基づき分圧回路2によって生成されたものである。分圧回路2は、15個の抵抗Rを直列に接続し、各抵抗R間のノード及びこれら直列接続された抵抗Rの両端のノードにそれぞれ電流増幅器21を接続した回路である。そして、外部からの5種類の電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} は、それぞれ電圧 V_0 、 V_4 の間、電圧 V_4 、 V_8 の間及び電圧 V_8 、 V_{12} の間に4個の抵抗Rを介すると共に、電圧 V_{12} 、 V_{15} の間に3個の抵抗Rを介するように、これら15個の抵抗Rの直列回路に入力されるようになっている。また、この分圧回路2における各電流増幅器21

の出力が上記基準電圧 $V_0 \sim V_{15}$ として、駆動回路1に供給されることになる。

【0040】ソースドライバLSIは、図3に示すように、映像信号におけるRGBの3色にそれぞれ対応して上記駆動回路1を3個ずつ1組とし、合計で40組、即ち120個備えている。RGBの各色の映像信号は、それぞれ4ビットずつのデジタルデータによって構成され、これによって各色ごとに16段階の階調を表示できるようになっている。また、この4ビットずつのデジタルデータは、RGBの各色ごとにそれぞれの駆動回路1に12ビットずつ順次シリアルに送られるようになっている。

【0041】サンプリングパルス $T_{SP1} \sim T_{SP40}$ は、図示しないシフトクロック回路によって一定周期ごとに発生される40種類のパルスであり、この一定周期の間に順次異なるタイミングで出力されるそれぞれのサンプリングパルス $T_{SP1} \sim T_{SP40}$ が各組の3個の駆動回路1に入力されるようになっている。従って、各組の駆動回路1では、このサンプリングパルス $T_{SP1} \sim T_{SP40}$ によってRGBの各色のデジタルデータを4ビットずつ順にサンプリングし保持する。

【0042】また、出力パルスOEは、サンプリングパルス $T_{SP1} \sim T_{SP40}$ の1周期ごとに発せられるパルスである。従って、全ての駆動回路1は、それぞれのタイミングでサンプリングしたデジタルデータを、この出力パルスOEによって一斉にアナログ駆動信号 $O_1 \sim O_{120}$ に変換し、この駆動信号 $O_1 \sim O_{120}$ の出力を次の出力パルスOEが発せられるまで保持することができる。

【0043】分圧回路2は、全ての駆動回路1に共通して1個だけ設けられ、図2に示すように外部の電源から供給される電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} に基づいて16段階の基準電圧 $V_0 \sim V_{15}$ を生成し、電流増幅器21を介して各駆動回路1に供給するようになっている。

【0044】上記構成の駆動回路1の動作を説明する。

【0045】図2に示すように、デジタルデータ $D_0 \sim D_3$ は、サンプリングフリップフロップ11でサンプリングされホールドフリップフロップ12で保持されて、デコーダ13及びアナログスイッチ14によってD/A変換され、電流増幅器15を介しアナログ駆動信号 O_0 として駆動回路1から出力される。そして、入力されるデジタルデータ $D_0 \sim D_3$ が4ビットであり、出力されるアナログ駆動信号 O_0 が16段階の階調を有する点以外は、上記図1に示した実施例の場合と同様である。

【0046】ただし、本実施例では、外部の電源が供給する5種類の電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} に基づいて16段階の基準電圧 $V_0 \sim V_{15}$ を生成する。即ち、基準電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} は、外部からの電圧をそのまま出力したものであるが、基準電圧 $V_1 \sim V_3$ 、 $V_6 \sim V_7$ 、 $V_9 \sim V_{11}$ は、それぞれ4個の抵抗Rによ

て分圧されたものとなる。また、基準電圧 V_{13} 、 V_{14} は、3個の抵抗 R によって分圧されたものとなる。従って、これら16段階の各基準電圧 $V_0 \sim V_{15}$ は、5種類の電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} に基づきそれぞれ表1の値を示すことになる。

【0047】

【表1】

10進数	2進数				電 圧
	d_3	d_2	d_1	d_0	
0	0	0	0	0	V_0
1	0	0	0	1	$\frac{3V_0+V_4}{4}$
2	0	0	1	0	$\frac{V_0+V_4}{2}$
3	0	0	1	1	$\frac{V_0+3V_4}{4}$
4	0	1	0	0	V_4
5	0	1	0	1	$\frac{3V_4+V_8}{4}$
6	0	1	1	0	$\frac{V_4+V_8}{2}$
7	0	1	1	1	$\frac{V_4+3V_8}{4}$
8	1	0	0	0	V_8
9	1	0	0	1	$\frac{3V_8+V_{12}}{4}$
10	1	0	1	0	$\frac{V_8+V_{12}}{2}$
11	1	0	1	1	$\frac{V_8+3V_{12}}{4}$
12	1	1	0	0	V_{12}
13	1	1	0	1	$\frac{2V_{12}+V_{15}}{3}$
14	1	1	1	0	$\frac{V_{12}+2V_{15}}{3}$
15	1	1	1	1	V_{15}

【0048】そして、このようにして生成された基準電圧 $V_0 \sim V_{15}$ は、それぞれ電流増幅器21を介して各アナログスイッチ14に入力されることになる。

【0049】ここで、上記基準電圧 $V_0 \sim V_{15}$ は、分圧回路2の電流増幅器21と駆動回路1の電流増幅器15を介して出力されることになる。従って、電流増幅器21の入力にほとんど電流を供給することなく、電流増幅器15の出力から大きな電流を取り出すことができるので、各基準電圧 $V_0 \sim V_{15}$ を分圧回路2の抵抗 R で分圧して生成することが可能となる。

【0050】この結果、本実施例の場合には、基準電圧源の電流容量が小さなもので足りるだけでなく、外部の電源から5種類の電圧 V_0 、 V_4 、 V_8 、 V_{12} 、 V_{15} を供給するだけで、ソースドライバLSI内部で16段階の基準電圧 $V_0 \sim V_{15}$ を生成することができるようになる

ので、LSIの入力端子数を削減することができるようになる。即ち、図1に示した第1実施例では、8段階の基準電圧 $V_0 \sim V_7$ で足りたが、本実施例のように16段階の基準電圧 $V_0 \sim V_{15}$ を使用する場合には、そのままではこの基準電圧 $V_0 \sim V_{15}$ の入力のために16の入力端子が必要となる。そして、さらにデジタルデータのビット数を増やすと、階調数も指数的に増加することになり、それに応じた数の入力端子を設けることは、現実にはほとんど不可能となる。このため、本実施例のようにして外部から電源が供給する電圧の種類を少なくすることができれば、入力端子数に制約されることなく、多数ビットによる豊富な階調の映像信号を取り扱うソースドライバLSIを作成できるようになる。

【0051】なお、本実施例では、分圧回路2における各基準電圧 $V_0 \sim V_{15}$ の出力にそれぞれ電流増幅器21を設けたが、駆動回路1の電流増幅器15の入力インピーダンスが十分に大きい場合には、これらの電流増幅器21を省略することもできる。

【0052】図4乃至図6に本発明の第3実施例を示す。図4は駆動回路のブロック図、図5及び図6はそれぞれアナログスイッチのON時における等価回路である。なお、上記図7、図8及び図1～図3に示した従来例及び実施例と同様の機能を有する構成部品には同じ番号を付記する。

【0053】本実施例は、図1に示した第1実施例と同様に、カラー液晶表示装置のソースドライバLSIに用いられ、3ビットのデジタルデータを8段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

【0054】3ビットのデジタルデータ $D_0 \sim D_2$ は、図1に示した第1実施例と同様に、サンプリングフリップフロップ11及びホールドフリップフロップ12を介してデコーダ13にパラレルに入力されるようになっている。

【0055】ただし、本実施例のデコーダ13は、5つの出力によって構成され、デジタルデータ $D_0 \sim D_2$ の値に対応して出力を1つ又は2つだけ“1”とするようになっている。従って、このデコーダ13の出力に制御入力が接続されるアナログスイッチ14も5個設けられ、各アナログスイッチ14には、5種類の基準電圧 V_0 、 V_2 、 V_4 、 V_6 、 V_7 がそれぞれ入力されるようになっている。そして、デジタルデータ $D_0 \sim D_2$ がデコーダ13に入力されると、1個又は2個のアナログスイッチ14が導通して5種類の基準電圧 V_0 、 V_2 、 V_4 、 V_6 、 V_7 のいずれか1又は2種類を出力することになる。

【0056】また、上記各アナログスイッチ14は、ON抵抗が共に抵抗値 R として等しくなるように形成されているが、基準電圧 V_0 を入力するアナログスイッチ14のみON抵抗が2倍の抵抗値 $2R$ となるように形成さ

れている。そして、この5個のアナログスイッチ14の出力は、一括されて電流増幅器15の入力に接続され、この電流増幅器15の出力がアナログ駆動信号O₁として駆動回路1から出力されることになる。

【0057】上記構成の駆動回路1の動作を説明する。

【0058】図1に示した第1実施例と同様に、デジタルデータD₀～D₂は、サンプリングフリップフロップ11でサンプリングされホールドフリップフロップ12で保持されてデコーダ13に送られるようになっている。

【0059】ただし、本実施例では、デコーダ13がこのデジタルデータD₀～D₂に対応して1個又は2個のアナログスイッチ14を導通させる。ここで、ON抵抗が同じ抵抗値Rとなるアナログスイッチ14が同時に導通した場合には、例えば図5に示すように、これらのアナログスイッチ14に入力される基準電圧が等分に分圧された電圧が出力されることになる。また、例えば図6に示すように、ON抵抗が2倍の抵抗値2Rとなるアナログスイッチ14と他のアナログスイッチ14とが同時に導通した場合には、これらのアナログスイッチ14に入力される基準電圧が2対1に分圧された電圧が出力されることになる。そして、このデコーダ13に入力するデジタルデータD₀～D₂の各値に応じた出力電圧は、表2に示す通りとなる。

【0060】

【表2】

10進数	2進数			デコード出力								電 圧
	d ₂	d ₁	d ₀	S ₀	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	S ₇	
0	0	0	0	1	0	0	0	0	0	0	0	V ₀
1	0	0	1	1	1	0	0	0	0	0	0	$\frac{V_0+2V_2}{3}$
2	0	1	0	0	1	0	0	0	0	0	0	V ₂
3	0	1	1	0	1	1	0	0	0	0	0	$\frac{V_2+V_3}{2}$
4	1	0	0	0	0	1	0	0	0	0	0	V ₄
5	1	0	1	0	0	1	1	0	0	0	0	$\frac{V_4+V_5}{2}$
6	1	1	0	0	0	0	1	0	0	0	0	V ₆
7	1	1	1	0	0	0	0	1	0	0	0	V ₇

【0061】この結果、本実施例の場合にも、基準電圧源の電流容量が小さなもので足りるだけでなく、図2に示した第2実施例と同様に、外部の電源から5種類の電圧V₀、V₂、V₄、V₆、V₇を供給するだけで、ソースドライバLSI内部で8段階の電圧を出力することができるようになるので、LSIの入力端子数を削減するこ

とができるようになる。

【0062】なお、本実施例で電圧V₀を入力するアナログスイッチ14のON抵抗のみを他のアナログスイッチ14の2倍に設定したのは、液晶表示装置の低電圧部分での特性が非線形となるので、これを補償するためである。また、上記第2実施例や本実施例では、それぞれ基準電圧源から5種類の電圧を供給するようにしているが、これは、液晶表示装置における入力電圧と階調表示との関係の非線形性の補正やガンマ補正を外部からこれらの電圧を調整して行うことができるようにするためである。従って、外部の電源が供給する電圧の種類はさらに少なくすることが可能であり、例えば第2実施例における電圧V₄と電圧V₅との間の特性が実用上線形とみなしてよいとすれば、電圧V₅を省略して4種類の電圧を供給するだけでよくなる。

【0063】

【発明の効果】以上の説明から明らかなように、本発明の表示装置の駆動回路によれば、各階調ごとに大容量の電源を用意する必要がなくなり、電源回路を簡素化することができるようになる。また、分圧によって各階調に対応する多数の電圧を得ることができるので、駆動回路を集積化した場合にも、電源用の入力端子数を少なくすることができるようになる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すものであって、駆動回路のブロック図である。

【図2】本発明の第2実施例を示すものであって、駆動回路のブロック図である。

【図3】本発明の第2実施例を示すものであって、図2の駆動回路を組み合わせたソースドライバLSIのブロック図である。

【図4】本発明の第3実施例を示すものであって、駆動回路のブロック図である。

【図5】本発明の第3実施例を示すものであって、アナログスイッチのON時における等価回路である。

【図6】本発明の第3実施例を示すものであって、アナログスイッチのON時における等価回路である。

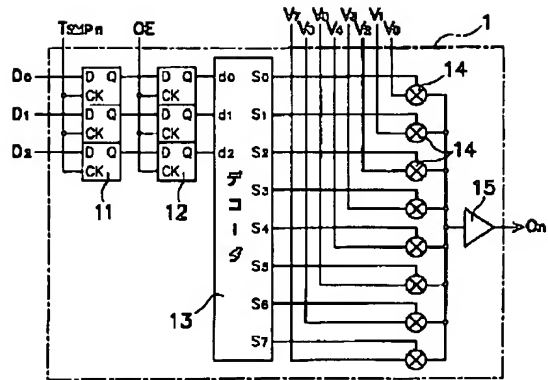
【図7】従来例を示すものであって、ソースドライバLSIのブロック図である。

【図8】従来例を示すものであって、駆動回路のブロック図である。

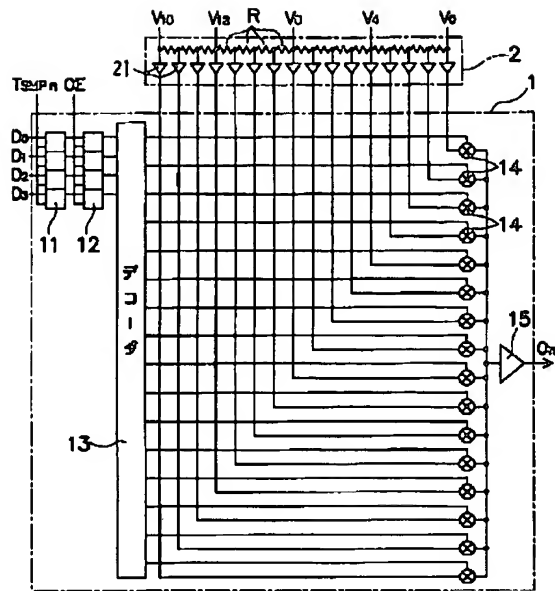
【符号の説明】

- 1 駆動回路
- 2 分圧回路
- 13 デコーダ
- 14 アナログスイッチ
- 15 電流増幅器

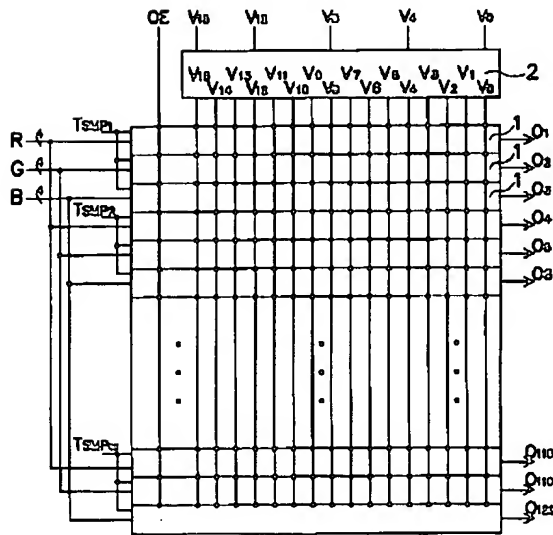
【図1】



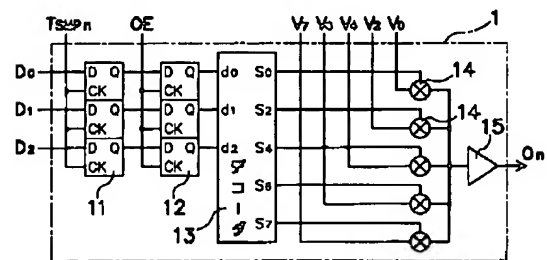
【図2】



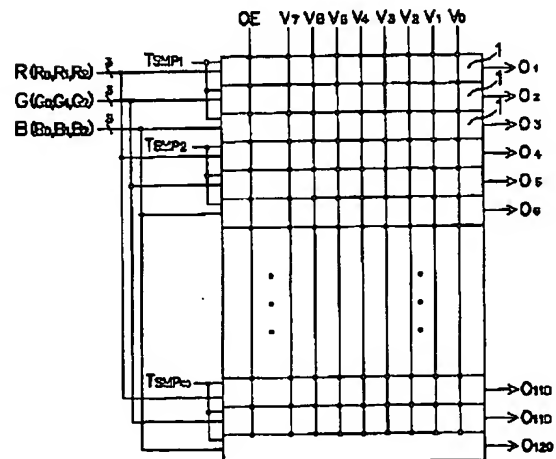
【図3】



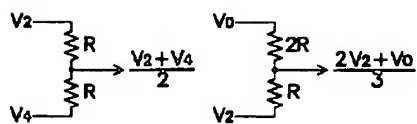
【図4】



【図7】



【図5】



【図6】

特開平5-273520

Figure 1 is a block diagram of a 16-bit parallel multiplier. The circuit is composed of three main functional blocks: a 3-to-8 decoder (11), a 3-to-8 decoder (12), and an 8-bit parallel multiplier (13).
 - Decoder 11: Receives inputs D₀, D₁, and D₂. It has two outputs: Tsmpn and OE.
 - Decoder 12: Receives inputs d₀, d₁, and d₂. It has eight outputs labeled V₀ through V₇.
 - Multiplier 13: An 8-bit parallel multiplier that receives inputs S₀ through S₇. It produces eight intermediate outputs O₀ through O₇.
 - Final Output: Each intermediate output O_i is multiplied (indicated by a circle with an 'X') by a corresponding V_i signal. The results of these 16 multiplications are then combined to form the final 16-bit output, labeled O₁₅ through O₀ at the right edge of the diagram.